UROPEAN PATENT OFFIC

Patent Abstracts of Japan

PUBLICATION NUMBER

PUBLICATION DATE

25-05-01

APPLICATION DATE

16-11-99

APPLICATION NUMBER

11325426

APPLICANT: NEC CORP:

INVENTOR: OTAKE HIROYUKI;

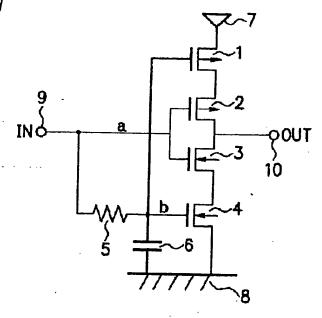
INT.CL.

: H03K 19/0948 H03K 17/16 H03K

17/687

TITLE

: CMOS LOGIC CIRCUIT



ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a CMOS logic circuit that can reduce a through-current in spite of a fewer inserted delay circuit numbers.

SOLUTION: A push-pull gate circuit consisting of P-channel transistors (TRs) 1, 2 and N-channel TRs 3, 4 and providing different ON/OFF operations to an input signal is connected in series between a power supply and a GND, and delay circuits 5, 6 delay the input signal by a prescribed time. The input signal (a) is given to any gate terminal of the push-pull gate circuit, an input signal (b) via the delay circuit is connected to other gate terminal of the push- pull gate circuit, and a connecting point of the series connection of the push-pull connection TRs 2, 3 is connected to an output signal terminal 10, and the input signal 9 is given to the output signal terminal 10. The ON/OFF operation timing of the push-pull gate circuit is made different by the delay circuit. Thus, simultaneous tuning on of the gate circuits can be prevented and the through-current can be reduced.

COPYRIGHT: (C)2001, JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許山東公開登号 特開2001-144604 (P2001-144804A)

(43)公開日 平成13年5月25日(2001.5.25)

(51) int.CL'		織別配号	FI 5-7		-73-1*(参考)	
нозк	19/0948		HOSK	17/16	F	5 J O 5 5
	17/16			19/094	В	5J056
·u ·	17/687	· Writen terminates :		17/687	F	

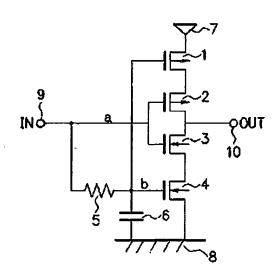
		審査論求 有
(21)出顧番号	特顧平11-325428	(71) 出廢人 000004237 日本電気株式会社
(22)出籍旧	平成11年11月16日(1999, 11, 16)	東京都港区芝五丁目7 卷1 号 (72) 発明者 大竹 尋之 東京都港区芝五丁目7 番1 号 日本電気株 式会社内 (74) 代望人 100084250 弁理士 丸山 隆夫
• •		最終質に紡く

(54) 【発明の名称】 CMOS論理回路

(57)【要約】

【課題】 より少ない挿入遅延回路敷で貧速電流を低減化したCMOS論理回路を得る。

【解決手段】 Pチャネル型トランジスタ1、2とNチャネル型トランジスタ3、4とで構成される、入方信号にON/OFF的作が相違するプッシュ/ブルゲート回路が電源とGND間に直別接続され、遅延回路5、6により入力信号を所定時間遅延させる。ブッシュ/ブルゲート回路の何れか一方のゲート端子へ入力信号 a を接続し、ロファシュ/ブルゲート回路の他方のゲート端子へ遅延回路を介した入力信号 b を接続し、ブッシュ/ブルゲート回路2、3の直列接続された接続点を出方信号端子10と連結して構成し、入力信号 9を出力信号端子10へ連結するブッシュ/ブルゲート回路のON/OFF的作のタイミングを、遅延回路により異ならせている。よって、ゲート回路の同時オンを防ぎ、貫通電流を削減することができる。



【特許請求の範囲】

【語求項1】 電源とGND間に直列接続され所定の入 力信号にON/OFF動作が相違するブッシュ/ブルゲ ート回路と.

1

前記入力信号を所定時間遅延させる遅延回路とを有し、 前記ブッシュノブルゲート回路の何れか一方のゲート端 子へ前記入力信号を接続し、且つ前記ブッシュ/ブルゲ ート回路の他方のゲート端子へ前記遅延回路を介した前 記入方信号を接続し、

続点を出力信号端子と連結して構成し、

前記入力信号を前記出力信号端子へ連結する前記プッシ ュノブルゲート回路のON/OFF動作のタイミング を、前記遅延回路により異ならせたことを特徴とするC MOS論理回路。

【論求項2】 前記プッシュ/ブルゲート回路は、Pチ ャネル型トランジスタとNチャネル型トランジスタとに より構成されたことを特徴とする請求項1記載のCMO S論理回路。

【註求項3】 前記遅延回路は、前記入力信号端子とG 20 ND間に抵抗器とコンデンサとによりCR補分器として 構成され、該積分時定数により遅延時間を設定可能に構 成されたことを特徴とする語求項!または2に記載のC MOS論選回路。

【請求項4】 前記遅延時間の設定により、前記ON/ OFF動作時に発生する質適電流を削減化したことを特 徴とする請求項 1 から 3 の何れかに記載のCMO S論理 问路。

【請求項5】 電源とGND間に直列接続された第1の ジスタ、第1のNチャネル型トランジスタ、第2のNチ ャネル型トランジスタと、

入力信号端子と前記GND間に直列接続された抵抗器と コンデンサとを有し、

前記直列接続された第2のPチャネル型トランジスタと 第1のNチャネル型トランジスタのそれぞれのゲート総 子と前記入力信号繼子とを接続(a)し、

前記抵抗器とコンデンサとの接続点と前記算1のPチャ ネル型トランジスタのゲート端子および第2のNチャネ ル型トランジスタのゲート端子との間を接続(b)し、 前記第2のPチャネル型トランジスタのドレインと第1 のNチャネル型トランジスタのソースの接続点と出力端 子間を接続し、

前記接続(a)と接続(b)の接続されたトランジスタ のON/OFF動作のタイミングを異ならせたことを特 徴とするCMO S論理回路。

【論求項6】 前記タイミングをずらせたON/OFF 動作により、質通電流を削減化したことを特徴とする請 求項5記載のCMOS論項回路。

するバスホルダ回路をさらに有し、

前記Pチャネル型トランジスタ、Nチャネル型トランジ スタが共にオフする場合。インバータ回路の出力がハイ インピーダンス状態になる場合があるため、前状態を保 持する回路を挿入することによって、次段にその状態を 伝緒させないようにしたことを特徴とする請求項5また は6に記載のCMOS論理回路。

【発明の詳細な説明】

[0001]

前記プッシュ/ブルゲート回路の前記直列接続された接 10 【発明の属する技術分野】本発明は、CMOS論理回路 に関し、特に、質通電流の発生を防止して低消費電力を 実現するCMO S論理回路に関する。

[0002]

【従来の技術】従来、CMOS論理回路は、例えば、ロ ジックLS | として構成される。図10は、従来のCM OSインバータ論理回路の構成例を示す回路図である。 本従来例のCMOSインバータ論理回路は、Pチャネル 型MOSトランジスタ11、Nチャネル型MOSトラン ジスタ12、入力端子 (IN) 13. 電源 (VCC) 1 4. 出力端子 (OUT) 15、接地 (GND) 16を有 して構成される。

【0003】なお、MOSトランジスタ等の半導体素子 からなるロジックLS!には、一般的に、低消費電力が 要望されている。そのためのCMOSデバイスの消費電 流を低減する最も有効な手段の一つとして、信号の変化 点で発生する電源-GND間を流れる質通電流の低減が 考えられる。

【①①①4】CMOSのトランジスタ回路に遅延回路を 挿入して貧通電流の発生を防止する回路の従来技術例 Pチャネル型トランジスタ、第2のPチャネル型トラン→30 は、特闘平9-214324号公報の「CMOS論理回 路」や特闘平4-287419号公報の「インバータ回 路」において示されている。

[0005]

【発明が解決しようとする課題】しかしながら、上記従 来例のCMOS論理回路では、貫通電流の発生を防止す る回路としてCMOSトランジスタ回路に付加された遅 延回路の回路数が多く、またこれらの回路が消費電流も 大きくしているという問題を伴う。

【0006】本発明は、より少ない挿入遅延回路数で貢 40 通電流を低減化したCMOS論理回路を提供することを 目的とする。

[0007]

【課題を解決するための手段】かかる目的を達成するた め、論求項1記載のCMOS論理回路は、電源とGND 間に直列接続され所定の入力信号にON/OFF助作が 相違するブッシュ/ブルゲート回路と、入力信号を所定 時間遅延させる遅延回路とを有し、ブッシュ/ブルゲー ト回路の何れか一方のゲート幾子へ入力信号を接続し、 且つブッシュノブルゲート回路の他方のゲート端子へ遅 【請求項7】 前記CMOS論理回路は、前状態を保持 50 延回路を介した入力信号を接続し、ブッシュ/ブルゲー

ト回路の直列接続された接続点を出力信号幾子と連絡し て構成し、入力信号を出力信号幾子へ連結するブッシュ ノブルゲート回路のON/OFF動作のタイミングを、 遅延回路により異ならせたことを特徴としている。

【0008】上記のブッシュ/ブルゲート回路は、Pチ ャネル型トランジスタとNチャネル型トランジスタとに より構成され、返延回路は、入力信号端子とGN D間に 抵抗器とコンデンサとによりCR積分器として構成さ れ、この行分時定数により返延時間を設定可能に構成さ 時に発生する質通電流を削減化するとよい。

【① 0 0 9 】 請求項 5 記載の発明の CMO S 論理回路 は、電源とGND間に直列接続された第1のPチャネル 型トランジスタ、第2のPチャネル型トランジスタ、第 1のNチャネル型トランジスタ、第2のNチャネル型ト ランジスタと、入力信号端子とGND間に直列接続され た抵抗器とコンデンサとを有し、直列接続された第2の Pチャネル型トランジスタと第1のNチャネル型トラン ジスタのぞれぞれのゲート端子と入力信号幾子とを接続 ャネル型トランジスタのゲート幾子および第2のNチャ ネル型トランジスタのゲート蜷子との間を接続(b) し、第2のPチャネル型トランジスタのドレインと第1 のNチャネル型トランジスタのソースの接続点と出力端 子間を接続し、接続(a)と接続(b)の接続されたト ランジスタのON/OFF動作のタイミングを異ならせ たことを特徴としている。

【① O 1 O 】上記のタイミングをずらせたON/OFF 動作により貫通電流を削減化し、またCMOS論理回路 は、前状態を保持するバスホルダ回路をさらに有し、P チャネル型トランジスタ、Nチャネル型トランジスタが 共にオフする場合、インバータ回路の出力がハイインピ ーダンス状態になる場合があるため、前状態を保持する 回路を挿入することによって、次段にその状態を伝播さ せないようにするとよい。

[0011]

【発明の実施の形態】次に、添付図面を参照して本発明 によるCMOS論理回路の実施の形態を詳細に説明す る。図1から図9を参照すると、本発明のCMOS論理 回路の一実施形態が示されている。

【0012】 (第1の実施例) 図1は、本発明の第1の 実践の形態であるCMOSインバータ回路であり、Pチ ャネル型トランジスタ1、Pチャネル型トランジスタ 2.Nチャネル型トランジスタ3、Nチャネル型トラン ジスタ4、抵抗5、コンデンサ6、電源7、およびGN D8 入力總子9、出力端子10を有して構成される。 さらに、図2は、図1におけるCMOSインバータ回路 の集積回路の断面標準を表している。

【①①13】図1に示したCMOSインバータ回路の回 路構成において、Pチャネル型トランジスタ1、2およ 50 【0017】図5では、入力信号!Nの信号レベルが

びNチャネル型トランジスタ3、4は、電源7およびG ND8間に直列接続されている。本帯成によれば、型式 の相違するトランジスタが直列に接続され、各ゲートに 制御信号が入力されることにより、ON/OFF勤作の 相違した、いわゆる、ブッシュ/ブル回路に構成されて

[1] 0] 4] (第1の実施例の動作説明)図3は、第1 の実能例における動作例を示すタイミングチャートであ り、図1のインバータ回路の動作例を示す。このインバ れ、さらには遅延時間の設定により、ON/OFF動作 10 ータ回路に対して、入力端子9に図3の!Nに示すよう な故形が入った場合を想定する。図3の信号aは、図1 のPチャネル型トランジスタ2とNチャネル型トランジ スタ3に入力される。また、図1の信号りの波形は、C R回路による充放電により、図3中の(b)に示される 緩やかな立ち上がりと立ち下がりを持った波形になり、 Pチャネル型トランジスタ 1 と Nチャネル型トランジス タ4とに入力される。この信号りの波形によって、しき い値に至る時間が信号aに比べて時間もだけ遅れる。図 3中のトランジスタ1、2.3、4のON/OFFのタ (a) し、抵抗器とコンデンサとの接続点と第1のPチ 29 イミングおよび出力信号OUTの波形図は、上記の関係 をタイミングチャートとして示している。

> 【0015】ととで、入力した信号の立ち上がりと立ち 下がりについて、それぞれ図1のインバータ回路につい ての動作例を説明する。図4は、トランジスタ1~4の ON/OFFタイミング例を、特に入力立ち上がり時の タイミングを詳細に示している。つまり本図4のタイミ ング図では、入力信号!Nの信号レベルが「L"から "H" に変化する場合においての各トランジスタの動作 例を示す。図4中のV1P. V2P. V3N、V4Nは 30 それぞれ、Pチャネル型トランジスタ1、Pチャネル型 トランジスタ2、Nチャネル型トランジスタ3、Nチャ ネル型トランジスタ4のしきい値を示す。時刻T1で入 力信号aの弯圧レベルがV3Nを越えると、Nチャネル 型トランジスタ3はオフ状態からオン状態に切り替わ

[0016] 時刻T 1から時刻T 2の区間ではNチャネ ル型トランジスタ!とPチャネル型トランジスタ2、N チャネル型トランジスタ3がオンしているが、Nチャネ ル型トランジスタ4がオブしているために、貫通電流が 40 生じない。また、時刻T3でRC回路によって遅延され た入方信号もの電圧レベルが、Nチャネル型トランジス タ4のしきい値V4Nを越えると、Nチャネル型トラン ジスタ4がオン状態に変化し、出力信号OUTが「HT から"L"に変化する。時刻T3から入力信号bの電圧 レベルがV1Pに達する時刻T4まで、Pチャネル型ト ランジスタ1とNチャネル型トランジスタ3、Nチャネ ル型トランジスタ4がオンしている。しかし既に、Pチ ャネル型トランジスタ2がオフ状態になっているため、 貫通電流は生じない。

"H"から"L"に変化する場合の。 入力立ち下がり時 においての各トランジスタの動作例を示す。時刻T5で 入力信号aの電圧レベルがV2P以下になると、Pチャ ネル型トランジスタ2はオフ状態からオン状態に切り替 わる。時刻T5から時刻T6になるまで、Pチャネル型 トランジスタ2、Nチャネル型トランジスタ3、Pチャ ネル型トランジスタ4がオンしている。しかし、Pチャ ネル型トランジスタ!がオフしているために、貫通電流 が生じない。

P以下になり、Pチャネル型トランジスタ1がオフ状態 に変化すると、出力信号OUTが "L" から "H" に変 化する。時刻Tでから入力信号Dの電圧レベルがNチャ ネル型トランジスタ4のしきい値V4Nに達する時刻T 8まで、Pチャネル型トランジスタ1、Nチャネル型ト ランジスタ3、Nチャネル型トランジスタ4がオンして いる。しかし、既に、Pチャネル型トランジスタ2がオ フ状態になっているため、質通電流は生じない。

【① 0 1 9 】 (第2の実施例) 本発明の第2の実施例の 機成を図6に示す。図6では、CR回路からの信号dの 20 接続先をPチャネル型トランジスタ2のゲートとNチャ ネル型トランジスタ3のゲートに変更し、Pチャネル型 トランジスタ 1 のゲートと Nチャネル型トランジスタ 4 のゲートには入力端子9からの信号cを接続した。な お 本第2の実施例と第1の実施例で要する構成の部品 は同じである。既述のように接続関係が相違している。 このように接続しても、図1における本発明の第1の寒 施例の構成と同様、真通電流が発生しない回路構成が実 現できる。

【0020】(第2の実施例の動作説明)図7と図8 に 本発明の第2の実施例の構成においての各トランジ スタの動作例を示す。図?では、入力信号!Nの信号レ ベルが「L」から「H」に変化する場合においての各ト ランジスタの動作を示す。時刻Tllで入力信号cの電 圧レベルが、V4Nを越えると、Nチャネル型トランジ スタ4はオフ状態から、オン状態に切り替わる。時刻T 11から時刻T12になるまでNチャネル型トランジス タ1とPチャネル型トランジスタ2 Nチャネル型トラ ンジスタ4がオンしているが、Nチャネル型トランジス タ3がオフしているために、貧通電流が生じない。ま た、時刻T13でRC回路によって遅延された入力信号 dの電圧レベルが、Nチャネル型トランジスタ3のしき い値V3Nを越えると、Nチャネル型トランジスタ3か オン状態に変化すると、出力信号OUTが「H"から "L"に変化する。時刻T 1 3 から入力信号 d の電圧レ ベルがV2Pに達する時刻T14まで、Pチャネル型ト ランジスタ2とNチャネル型トランジスタ3、Nチャネ ル型トランジスタ4がオンしているが、すでに、Pチャ ネル型トランジスタ!がオフ状態になっているため、貢 通電流は生じない。

【1) 0.2.1 】図8では、入力信号 [Nの信号レベルが "H"から "L"に変化する場合においての各トランジ スタの動作を示す。時刻Tl5で入力信号cの電圧レベ ルが、ViP以下になるとPチャネル型トランジスタ! はオフ状態から、オン状態に切り替わる。時刻T 15か ち時刻?16になるまでPチャネル型トランジスタ1、 Nチャネル型トランシスタ3とNチャネル型トランシス タ4がオンしているが、Pチャネル型トランジスタ2が オフしているために、貫道電流が生じない。時刻T17 【()() 18】時刻T7で入力信号 b の電圧レベルがVl 10 で入力信号 d の電圧レベルが、V2P以下になり、Pチ ャネル型トランジスタ2がオン状態に変化すると、 出力 信号OUTが "L" から "H" に変化する。時刻T 17 から入力信号dの電圧レベルがNチャネル型トランジス タ3のしきい値V3Nに達する時刻T18まで、Pチャ ネル型トランジスタ1とPチャネル型トランジスタ2、 Nチャネル型トランジスタ3がオンしているが、すで に、Nチャネル型トランジスタ4がオフ状態になってい るため、貫通電流は生じない。

> 【① 022】 (第3の実施例) 本発明の第3の実施例の 機成を図9に示す。図9は、図1の本発明の第1実施例 の構成の出力に対して、前状態を保持する回路(バスホ ルダ) 20を接続したものである。 これは、図1におけ る本発明の第1の実施の形態であるCMOSインバータ 回路をLSI内部で用いる場合、Pチャネル型トランジ スタ、Nチャネル型トランジスタが共にオフする場合、 インバータ回路の出力がハイインピーダンス状態になる 場合があるため、前状態を保持する回路を挿入すること によって、次段にその状態を伝播させないようにしたも のである。

30 【0023】尚、上述の実施形態は本発明の好適な実施 の一例である。但し、これに限定されるものではなく、 本発明の要旨を退脱しない範囲内において種々変形実施 が可能である。

[0.024]

【発明の効果】以上の説明より明らかなように、語求項 1記載の発明のCMOS論理回路は、ブッシュノブルゲ ート回路の何れか一方のゲート蟾子へ入力信号を接続 し、且つ他方のゲート端子へ遅延回路を介した入力信号 を接続し、入力信号を出力信号鑷子へ返結するブッシュ 40 /ブルゲート回路のON/OFF動作のタイミングを、 遅延回路により異ならせている。本様成によって、ゲー ト団路の同時オンを防ぎ、普通電流を削減することがで きる。そのため、消費電力の削減を図ることができる。 また、時定数を変更することにより、遅延量を副御する ことができ、所定の国波数の信号に対して頁通電流を採 少させることができる。

【図面の簡単な説明】

【図1】本発明のCMOS論理回路の第1の実施例を示・ すCMOSインバータ回路図である。

50 【図2】図1におけるCMOSインバータ回路の集積回

路の断面構造を表している。

【図3】図1のインバータ回路の動作例を示すタイミングチャートである。

7

【図4】トランジスタ1〜4の特に入力立ち上がり時の タイミングを詳細に示している。

【図5】トランジスタ1~4の特に入力立ち下がり時の タイミングを詳細に示している。

【図6】第2の実施例を示す回路図である。

"【図7】第2の実施例の構成においての各トランジスター の動作例を示す。

【図8】第2の実施例の構成においての各トランジスタの動作例を示す。

【図9】第3の実施例を示す回路図である。

*【図10】従来のCMOS論理回路の構成例を示す回路 図である。

【符号の説明】

1.2 Pチャネル型トランジスタ

3 4 Nチャネル型トランジスタ

5 抵抗

6 コンデンサ

7 電源

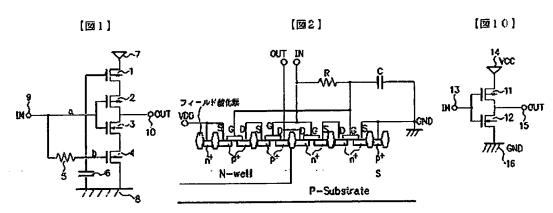
8 GND

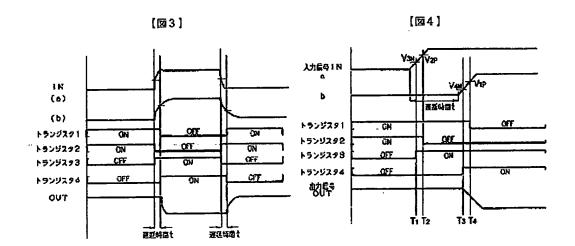
16 9 入力端子

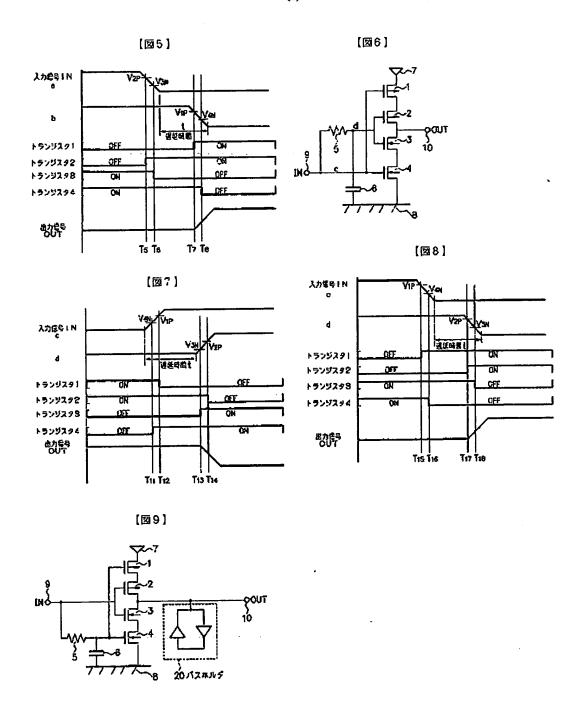
10 出力總子

20 前状態を保持する回路 (バスホルダ)

V1P、V2P. V3N. V4N しきい値







(7)

特闘2001-144604

フロントページの続き

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
OTHER:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.